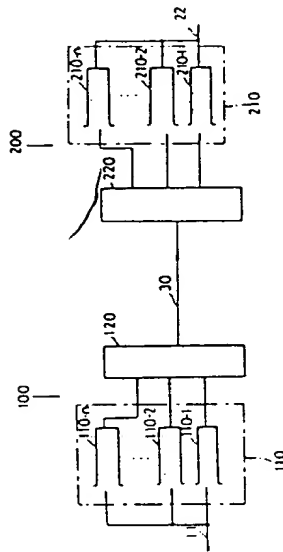


(54) MULTIPLE PACKET COMMUNICATION SYSTEM

- (11) 63-226151 (A) (43) 20.9.1988 (19) JP
(21) Appl. No. 62-128439 (22) 27.5.1987 (33) JP (31) 86p.244392 (32) 15.10.1986
(71) FUJITSU LTD (72) SUSUMU TOMINAGA(4)
(51) Int. Cl. H04L11/20

PURPOSE: To improve transmission efficiency by providing a packet memory corresponding to each of the priority given to each packet, on both a transmission system and a reception system.

CONSTITUTION: When a second packet whose priority is high is inputted from an input signal line 11, and written to a memory 110-n, a transmission system 100 suspends the transmission of a first packet, and starts the transmission of a second packet. In this case, a flag adding circuit 120 adds a packet delimiting flag to the second packet and sends it out to a transmission line 30. A reception system 200 detects its flag by a flag detecting circuit 220, which is receiving, and writes the second packet to a memory 210-n. Also, it is read out and sent out to an output signal line 22. Subsequently, the remaining part of the first packet which has been suspended is read out of the corresponding memory 110-1, and its transmission is started continuously after the regular flag of a termination of the second packet. In such a way, the transmission efficiency can be improved.



110-n and 210-n: highest priority. 110-2 and 210-2: priority.
110-1 and 210-1: non-priority

⑬ Int. Cl.

H 04 L 11/20

識別記号

1 0 2

庁内整理番号

A-7830-5K

⑭ 公開

昭和63年(1988)9月20日

審査請求 有 発明の数 1 (全 24 頁)

⑮ 発明の名称 多重バケット通信システム

⑯ 特 願 昭62-128439

⑰ 出 願 昭62(1987)5月27日

優先権主張 ⑱ 昭61(1986)10月15日 ⑲ 日本(JP) ⑳ 特願 昭61-244392

㉑ 発 明 者 富 永 進 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉒ 発 明 者 野 島 聡 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉓ 発 明 者 筒 井 英 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉔ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉕ 代 理 人 弁理士 青 木 朗 外 3 名

最終頁に続く

明 細 書

1. 発明の名称

多重バケット通信システム

2. 特許請求の範囲

① 伝送路(30)を介し、送信系(100)から受信系(200)へ、各々が優先順位を有する一連のバケットを多重化して伝送する多重バケット通信システムにおいて、

前記送信系(100)では、各前記優先順位に対応したバケットを書き込むメモリ(110-1~110-n)からなるバケットメモリ(110)と、各前記バケットに対し通常フラグ(F)またはバケット区切りフラグ(IP)を付加するフラグ付加回路(120)とを備え、前記メモリ(110)の1つから読み出した第1のバケットの送信中に、これより優先順位の高い第2のバケットが発生したとき、第1のバケットの送信を中断するとともに、前記バケット区切りフラグ(IP)を付加して前記第2のバケットを送信し、

前記受信系(200)では、前記送信系(100)から

送信されたバケットに付加される前記通常フラグ(F)またはバケット区切りフラグ(IP)を識別するフラグ検出回路(220)と、受信した該バケットをその優先順位に対応して書き込むメモリ(210-1~210-n)からなるバケットメモリ(210)とを備え、前記バケット区切りフラグ(IP)を検出したときは前記第1のバケットの受信を中断して前記第2のバケットの受信を開始し、

前記送信系(100)では、前記第2のバケットの送信完了とともに前記通常フラグ(F)を付加して前記第1のバケットの残りの部分を送信再開し、前記受信系(200)では、該通常フラグ(F)の検出により、該第1のバケットの残りの部分を受信再開することとを特徴とする多重バケット通信システム。

② 前記送信系(100)は、各前記バケットをその優先順位に対応した前記メモリ(110-1~110-n)に書き込む入力選択部(130)と、所定の1の該メモリ(110-1~110-n)よりバケットを読み出す出力選択部(150)と、バケットの書き込みおよび読み出し

(1)

(2)

※ ①が概念

②以後は実現方式の説明

を制御する出力制御部(140)と、前記第2のバケットにより送信が中断される前記第1のバケットの優先順位を、該第1のバケットの送信再開に備えて待避させる記憶部(150)とを有し、

前記受信系(200)は、各前記バケットをその優先順位に対応した前記メモリ(210-1~210-n)に書き込む入力選択部(230)と、所定の1の該メモリ(210-1~210-n)よりバケットを読み出す出力選択部(260)と、バケットの書き込みおよび読出しを制御する入力制御部(240)と、前記第2のバケットにより受信が中断される前記第1のバケットの優先順位を、該第1のバケットの受信再開に備えて待避させる記憶部(250)とを有する特許請求の範囲第1項記載の通信システム。

③ 前記送信系(100)において、前記メモリ(110-1~110-n)がFIFO(First In First Out)メモリ(111-1~111-n)からなり、前記受信系(200)において、前記メモリ(210-1~210-n)がFIFOメモリ(211-1~211-n)からなる特許請求の範囲第2項記載の通信システム。

(3)

④ 前記送信系(100)において、前記入力選択部(130)は、書き込みクロック(WC)を生成する入力制御回路(131)と、該書き込みクロック(WC)の各前記FIFOメモリ(111-1~111-n)への供給または供給停止を制御する書き込みクロックゲート(132)と、前記バケット内の前記優先順位を検出して対応する1の該書き込みクロックゲート(132)を開とするデコーダ(133)とからなり、

前記出力選択部(160)は、各前記FIFOメモリ(111-1~111-n)に対応した読出しクロックゲート(161)からなり、

前記出力制御部(140)は、各該FIFOメモリ(111-1~111-n)内のバケットの有無を表示するバケット有無信号(PB)を受信して、前記優先順位の高いFIFOメモリ(111-1~111-n)に対応した前記読出しクロックゲート(161)を開するとともに記憶部(150)への優先順位の待避を行い、開となった読出しクロックゲート(161)を通して読出しクロック(RC)を当該FIFOメモリに供給する特許請求の範囲第3項記載の通信システム。

(4)

⑤ 前記受信系(200)において、前記入力選択部(230)は、各前記FIFOメモリ(211-1~211-n)に対し書き込みクロック(WC)の供給または供給停止を制御する書き込みクロックゲート(232)と、受信したバケットの優先順位を検出して対応する1の該書き込みクロックゲート(232)を開とするデコーダ(233)とからなり、

前記入力制御部(240)は、前記バケット区切りフラグ(IF)の受信により、前記第2のバケットの優先順位を前記記憶部(250)に待避させ、また前記書き込みクロック(WC)を生成する入力制御回路(241)と、各前記FIFOメモリ(211-1~211-n)内のバケットの有無を表示するバケット有無信号(PB)を受信して、優先順位の高い該FIFOメモリ(211-1~211-n)に読出しクロック(RC)を送出する出力制御回路(242)とからなり、

前記出力選択部(260)は、前記出力制御回路(242)に制御されて、対応する1の前記FIFOメモリ(211-1~211-n)に読出しクロック(RC)を送出する読出しクロックゲート(261)からなる特許

(5)

請求の範囲第3項記載の通信システム。

⑥ 前記送信系(100)において、前記フラグ付加回路(120)は、通常フラグ発生器(121)およびバケット区切りフラグ発生器(122)よりなり、前記出力制御回路(141)の制御のもとに、前記通常フラグ(F)または前記バケット区切りフラグ(IF)を前記バケットに付加する特許請求の範囲第4項記載の通信システム。

⑦ 前記受信系(200)において、前記フラグ検出回路(220)が、前記通常フラグ(F)およびバケット区切りフラグ(IF)をそれぞれ検出する通常フラグ検出器(221)およびバケット区切りフラグ検出器(222)とからなり、これらからの通常フラグ受信通知(FR)およびバケット区切りフラグ受信通知(IFR)を前記入力制御回路(241)にて受信する特許請求の範囲第5項記載の通信システム。

⑧ 前記優先順位を各前記バケットのヘッダ(H)内に書き込むとともに、論理チャネル番号解析部(180)にて、各該優先順位を設定する特許

(6)

請求の範囲第1項記載の通信システム。

(9) 前記送信系(100)において、前記メモリ(110-1~110-n)は、RAM(Random Access Memory)部(113)のメモリをn個に分割したメモリ領域からなり、前記受信系(200)において、前記メモリ(210-1~210-n)はRAM部(213)のメモリをn個に分割したメモリ領域からなる特許請求の範囲第2項記載の通信システム。

(10) 前記送信系(100)において、前記入力選択部(130)は、各前記分割メモリ領域をサイクリックにアクセスして書き込みを行う入力ポインタテーブル部(135)からなるとともに、該入力ポインタテーブル部(135)内に、優先して送信すべき前記第2のバケットの優先順位および待避すべき前記第1のバケットの優先順位を格納し、該優先順位に従って対応する1の前記分割メモリ領域を特定する入力側優先順位格納レジスタを備え、

前記出力選択部(160)は、各前記分割メモリ領域をサイクリックにアクセスして読出しを行う出力ポインタテーブル部(163)からなるとともに、

該出力ポインタテーブル部(163)内に、優先して送信すべき前記第2のバケットの優先順位および待避すべき前記第1のバケットの優先順位を格納し、該優先順位に従って対応する1の前記分割メモリ領域を特定する出力側優先順位格納レジスタを備える特許請求の範囲第9項記載の通信システム。

(11) 前記受信系(200)において、前記入力選択部(230)は、各前記分割メモリ領域をサイクリックにアクセスして書き込みを行う入力ポインタテーブル部(237)からなるとともに、該入力ポインタテーブル部(237)内に、優先して受注すべき前記第2のバケットの優先順位および待避すべき前記第1のバケットの優先順位を格納し、該優先順位に従って対応する1の前記分割メモリ領域を特定する入力側優先順位格納レジスタを備え、

前記出力選択部(260)は、各前記分割メモリ領域をサイクリックにアクセスして読出しを行う出力ポインタテーブル部(263)からなるとともに、該出力ポインタテーブル部(263)内に、優先して

(7)

(8)

受注すべき前記第2のバケットの優先順位および待避すべき前記第1のバケットの優先順位を格納し、該優先順位に従って対応する1の前記分割メモリ領域を特定する出力側優先順位格納レジスタを備える特許請求の範囲第9項記載の通信システム。

(12) 前記送信系(100)において、前記出力制御部(140)は出力制御回路(143)からなり、前記フラグ付加回路(120)は通常フラグ発生器(121)およびバケット区切りフラグ発生器(122)よりなり、前記出力制御回路(143)は前記出力ポインタテーブル部(163)およびRAM部(113)を制御しながら、これらフラグ発生器(121, 122)からの出力フラグをバケットに付加する特許請求の範囲第10項記載の通信システム。

13. 前記受信系(200)において、前記フラグ検出回路(220)が、前記通常フラグ(F)を検出する通常フラグ検出器(224)および前記バケット区切りフラグ(IF)を検出するバケット区切りフラグ検出器(225)からなり、

前記入力選択部(230)の一部をなし、前記入力ポインタテーブル部(237)および前記RAM部(213)を制御する入力制御回路(236)に対し、前記フラグ検出器(224, 225)からの検出フラグを伝達する特許請求の範囲第11項記載の通信システム。

3. 発明の詳細な説明

(概要)

送信系と受信系の双方に、各バケットに付される優先順位の各々に対応したバケットメモリを備え、第1のバケットの送信中であってもこれを中断させて、さらに優先順位の高い第2のバケットを先行して送信し、その後第1のバケットの残りの部分を送信再開するとともに、受信系でも第2のバケットを受信したとき、第1のバケットの受信を中断させて第2のバケットを先行して受信し、その後第1のバケットの残りの部分を受信再開することにより、第2のバケットについては即時的に送受可能とするのみならず、第1のバケットについてはその再送を不要とし、伝送効率の向上が

(9)

(10)

図れる。

(産業上の利用分野)

本発明はパケット通信システム、特に各々が優先順位を持つパケットを多重化して送信し、さらにこれを分類して受信するパケット通信システムに関する。

各々が優先順位を持つ多重パケット通信においては、優先順位の高いパケット程、リアルタイムに送受しなければならない。また、優先順位の低いパケットについてみると、僅かな待ち時間で送受が再開されなければならない。その手順もできるだけ単純なものでなければならない。すなわち優先順位を持つ多重パケット通信システムにおいては、伝送効率の向上が重要な課題の一つとなる。

(従来の技術)

第15図は従来の多重パケット通信システムの概略ブロック図である。本図において、10は送信系、20は受信系であり、これらは上り用の伝

送路30および下り用の伝送路31によって接続される。送信系10において、入力信号線11からのパケットは入力選択部12に印加され、送信待行列13における非優先側待行列14または優先側待行列15にストアされる。さらに、出力選択部16によって、優先または非優先のいずれか一方のパケットが選択されて伝送路30に送出される。

受信系20の受信部21では、上り用の伝送路30より受信したパケットのうち通常のパケット、すなわち非優先側待行列14から送信されたパケットを受けてこれをそのまま出力信号線22に送出する。

今、送信系10で優先パケットの送信要求が発生したものとすると、この優先パケットは優先側待行列15にストアされ、さらに出力選択部16により伝送路30に送出される。この場合、その優先パケットは、送信中の非優先パケットに割り込んで送信されることになる。

第16A図は一般的なパケットフォーマットを示

(11)

(12)

す図であり、また第16B図は非優先パケットに優先パケットが割り込んだ場合の従来のパケットフォーマット例を示す図である。第16B図は、非優先パケット(データDT1を含む)の送信途中で、優先パケット(データDT2を含む)が割り込んだ状態を示し、例えば第16A図のパケット(非優先パケット)の一点鎖線のところで割り込んだ状態を示す。そうすると、送信中であった非優先パケットは第16A図に示す完全なフォーマットのパケットとして受信系20(第15図)に送信されず、フレームチェックシーケンスFCSが欠落した状態で受信系20に到達する。そうすると受信部21(第15図)はFCSエラーを検出し、当該不完全パケット(非優先パケット)を廃棄してしまう。

廃棄された非優先パケットについては、改めてもう一度送信し直してもらう必要があるため、受信部21は送信系10(第15図)に対し、下り用の伝送路31(第15図)を介して再送命令を発し、入力選択部12(第15図)に再送を要求

して、当該非優先パケットの送信を完了する。

(発明が解決しようとする問題点)

上述のごとく、従来の多重パケット通信システムでは、優先順位の高いパケットが、優先順位の低いパケットに割り込もうとした場合、優先順位の低いパケットのみを最優先で送信しようとするところから、優先順位の低いパケットは結局廃棄の対象となってしまふ。さらにその廃棄の回復のために再送を行う必要が生じ伝送遅延を生ずるという問題が生ずる。また、既に送信済みの情報と同じものをもう一度送ることから伝送路の利用効率、すなわち伝送効率を悪化させてしまうという問題が生ずる。また当然のことながら、入力信号線11に比べ出力信号線22側で、再送によるパケットの輻輳が生じトラフィックの渋滞を増大するという問題が生ずる。特に、これらの問題は、近年、パケット長が増大する傾向、例えばデータ(DT)が数1000バイトからなるという傾向を鑑みると、益々顕著になる。

(13)

(14)

本発明は上記諸問題点に鑑みなされたもので、優先順位の低いバケットは即時的に送信し、この優先順位の低いバケットにより割り込まれた優先順位の低いバケットについては再送することを要しないようにし、伝送効率の高い多重バケット通信システムを提供することを目的とするものである。

(問題点を解決するための手段)

第1図は本発明に係る多重バケット通信システムの基本構成を示す図である。本図において、100は送信系、200は受信系であり、これらは伝送路30によって接続される。送信系100では、入力信号線11より供給されるバケットを一旦ストアする送信側バケットメモリ110を備える。このバケットには、予め定めた回数(n)の優先順位の1つが付され、各優先順位に対応したメモリ(110-1、110-2、…110-n)に書き込まれる。これらメモリ(110-1、110-2、…110-n)から読み出された各バケットは、フラグ付加回路120にて所定のフ

ラグが付加されたのち、伝送路30に送出される。

一方、受信系200には、上記所定のフラグを識別するためのフラグ検出回路220が設けられ、検出したフラグに応じて、受信したバケットを、受信側バケットメモリ210内のいずれかのメモリ(210-1、210-2、…210-m)に書き込む。さらに、これを読み出して出力信号線22に送出する。

(作用)

送信系100で、例えばバケットメモリ110内のメモリ110-1を選択して優先順位の低い第1のバケットを読み出す場合、フラグ付加回路120は通常フラグ(F)を付してこれを伝送路30に送出する。そしてこの第1のバケットを受信系200に送信中に、これより優先順位の低い第2のバケットが入力信号線11より入力され、対応するメモリ、例えばメモリ110-nに書き込まれたとすると、送信系100では上記第1のバケットの送信をその時点で即座に中断し、上記第2のバケットの送信を開始する。このとき、フラグ付加回路120は、

(15)

(16)

この第2のバケットにバケット区切りフラグ(1F)を付して伝送路30に送出する。

受信系200では、その1F付きの第2のバケットを受信すると、フラグ検出回路220でその1Fを検出し、これまで受信中の上記の第1のバケットのメモリ210-1への書き込みならびに検出しを中断し、その第2のバケットを、対応するメモリ210-mに書き込む。さらにこれを読み出して出力信号線22に送出する。

送信系100において、優先順位の低い上記第2のバケットの送信が完了すると、フラグ付加回路120にて、第2のバケットの終端に通常フラグ(F)を付して伝送路30に送出するとともに、中断していた上記第1のバケットの残りの部分を対応のメモリ110-1より読み出し、第2のバケットの終端の通常フラグ(F)に続けて送信開始する。

受信系200では、第2のバケットの終端の通常フラグ(F)をフラグ検出回路220で検出すると、中断していた上記第1のバケットの受信を、その

通常フラグ(F)に引き続いて再開し、対応するメモリ210-1に書き込む。さらにこれを読み出して出力信号線22に送出する。

本発明は以上のような多重バケットの送受信を行うことにより、優先順位の低い第2のバケットにより割り込まれた、優先順位の低い第1のバケットを廃棄したり、再送要求したりすることなく、第2のバケットの送信終了待ち時間分の遅延のみで、第1のバケットの送受信を完了させることができる。このため伝送効率は向上し、また、出力信号線22でのトラフィックも緩和できる。

(実施例)

第2図は本発明に係る多重バケット通信システムの基本構成を示すブロック図である。本図において、入力信号線11より送信側入力選択部130にバケットが入力されると、バケットの優先順位①、②…に依じたメモリ110-1、110-2、…110-nに転送される。この優先順位はリンク設定時に予め設定されるもので、各バケットのヘッダ(第

(17)

(18)

16A図のH)内のヘッダ情報として書き込まれる。このヘッダ情報は通常しC.N (論理チャネル番号)を含むものである。

入力選択部130により選択された、バケットメモリ110内のメモリ、例えば最低順位のメモリ110-1にバケットが転送され、書き込まれたとすると、メモリ110-1からの送信要求が出力制御部140に伝達される。出力制御部140は、送信要求のあったメモリ110-1と送信側出力選択部160とを接続状態にし、これらを相互に接続せしめる。

一方、出力選択部160に接続された当該メモリ110-1から読み出されたバケットは、出力選択部160に転送される。転送されたバケットに対し、フラグ付加回路120は所定のフラグを挿入部170にて付加し伝送路30に送出する。この場合、通常フラグFが付加される。これらの制御は、出力制御部140からの指令によりなされる。

さて、ここで優先順位の低い第1のバケットの転送中に(上記の例の場合、メモリ110-1からのバケットの転送中)、これよりも高い優先順位の

(19)

120に対し再び通常フラグFを発生せしめる。これと同時に、記憶部150に待避中の優先順位(この場合①)を読み出し、待合せ状態にあったメモリ110-1を出力選択部160と再び接続し、その内容(第1のバケット)を、上記の第2のバケットの終端に付される通常フラグFの送信終了に同期して送信再開する。

第3図は本発明に係る多重バケットの伝送フォーマット例を示す図である。本図に示すとおり、優先順位の低い第1のバケット(データDT1を含む)に割り込んだ優先順位の高い第2のバケット(データDT2を含む)は、その第1のバケットの前半部分(中断前)と後半部分(中断後)とに挟まれて伝送されることになる。

再び第2図に戻ると、受信系200では、伝送路30より入力された上記第1のバケット(低優先順位)の先頭にあるフラグが通常フラグFであることを、フラグ検出回路220で検出する。さらに検出した旨を入力制御部240に通知する。

入力制御部240は、バケットメモリ210の中の

(21)

第2のバケット、例えば最優先(②)のバケットが人力検出線11より入力されたとすると、入力選択部130を介して、対応のメモリ110-aに書き込まれる。これと同時に、出力制御部140は、中断された第1のバケットの書き込まれた優先順位(①)を記憶部150に記憶する。より高い優先順位を持つ第2のバケットの出現によって、出力制御部140は、現在転送中の第1のバケットの送信を中断し、記憶部150内に記憶されている優先順位②のメモリ110-1を待合せ状態とするとともに、フラグ付加回路120に、通常フラグFに代え、バケット区切りフラグIFの発生を指示する。これと同時に、新たな最優先バケットが書き込まれたメモリ110-aと出力選択部160とを接続する。そして、第1のバケットの中断直後に、バケット区切りフラグIFを付加し受信系に送信し終えるのと同期して、最優先の第2のバケットの送信を開始する。

最優先の第2のバケットの送信が完了すると、出力制御部140の指示により、フラグ付加回路

(20)

対応するメモリ(この場合メモリ210-1)と入力選択部230とを接続し、当該第1のバケットをメモリ210-1内に書き込む。また同時に、入力制御部240は、その優先順位②を受信側記憶部250に記憶し、待避させる。

次に、その第1のバケットの受信中に、フラグ検出回路220がバケット区切りフラグIFを検出すると、その旨を入力制御部240に通知する。通知を受けた入力制御部240は、記憶部250に記憶された優先順位(この場合①)に対応するメモリ210-1を待合せ状態にし、新たな最優先のバケット(既述の第2のバケット)に対応するメモリ210-aと受信側出力選択部260とを相互に接続する。さらにメモリ210-a内に第2のバケットを書き込む。

その後、第2のバケットの終端に付された通常フラグFを、フラグ検出回路220で検出すると、これを入力制御部240に通知する。通知を受けた入力制御部240は、記憶部250内に記憶した優先順位(この場合①)に対応するメモリ210-1を待

(22)

合せ状態にし、新たな、優先順位の高いバケット（既述の第2のバケット）に対応するメモリ（この場合210-a）と入力選択部230とを相互に接続する。さらにそのメモリ210-aにその第2のバケットを書き込む。

その後、第2のバケットの終端に付されたバケット区切りフラグ1Fを、フラグ検出回路220にて検出すると、その旨を入力制御部240に通知する。通知を受けた入力制御部240は記憶部250内に待避させておいた優先順位①を読み出し、対応する待合せ状態のメモリ210-1と入力選択部230とを接続する。これにより、第1のバケットの残りの部分の受信が再開される。

かくして、メモリ210-1および210-aに書き込まれたバケットは、受信側出力選択部260によって順一的に読み出された後、出力信号線22に送出され、次段の処理に供される。なお、上述した記憶部150および250は、例えばRAM(Random Access Memory)により構成することができる。

第4A図は送信系における動作を説明するため

(23)

は、多重割込転送時（要求1と要求2が同時に発生していた場合）の残りのバケットの転送のために④のバケット区切りフラグ状態に移し、それ以外は⑤のアイドル状態に移る。

④のバケット区切りフラグ状態は、バケット送信中に優先順位の高い要求1が発生して、送信中バケットを一時停止させ、要求1のバケットを送るためのバケット区切りフラグを送信中の状態であって、バケット区切りフラグ送信後は、新しい要求1のバケットを転送するために④の転送状態に移る。

次に第4B図の受信系における入力制御部240の状態遷移図について説明する。

先ず①のリセット状態で前記の送信系の出力制御部140におけるのと同様に初期状態に戻される。

①のアイドル状態は、入力制御部240において、伝送路30よりバケットを受信可能となっている状態であって、伝送路30よりバケット受信の通知を受けると、バケット受信処理のための②のバケット受信状態に移る。

(25)

の状態遷移図、第4B図は受信系における動作を説明するための状態遷移図であり、具体的には出力制御部140(第2図)および入力制御部240(第2図)の動作を主として要す。なお、各状態は①～④にて区分して示す。

第4A図の送信系における出力制御部140の状態遷移図において、先ず①のリセット状態で、外部からのイニシャル要求によって回路内部がリセットされ初期状態に戻される。

①のアイドル状態で、出力制御部140がバケットの送出可能となり、前段回路よりバケットの送信要求1/要求2が発生するとバケット転送作業のため次の②の転送状態に移る。

②の転送状態は実際にバケットを伝送路30に送出中の状態で、バケット転送終了時にはフラグ送信のために④のフラグ送信状態に移し、より高い優先順位のバケット送信要求1が来ると②のバケット区切りフラグ状態に移る。

④のフラグ送信状態は、バケットの送信終了を示すフラグ転送状態であって、フラグ転送終了後

(24)

④のバケット受信状態は、実際にバケットを伝送路30より受信中の状態であって、バケット受信終了後は、フラグ受信による⑤のフラグ受信状態への遷移と、バケット区切りフラグ受信による①のバケット区切りフラグ状態への遷移がある。

①のフラグ受信状態は、バケットの受信終了を示すフラグ受信状態であって、フラグ受信終了後は、多重割込受信時の残りバケットの受信のため、①のバケット区切りフラグ状態に移し、それ以外は⑤のアイドル状態に移る。

①のバケット区切りフラグ状態は、バケット受信中にバケット区切りフラグを受信した場合であり、これを多重割込みと見なして、要求の高いバケットを受信可能にする状態である。バケット区切りフラグ受信後は、要求の高いバケット受信のために、②のバケット受信状態に移る。

以下、第2図に示した基本構成の具体例を、第1実施例および第2実施例について説明する。第5図は本発明に基づく第1実施例に係る送信系を示す回路図、第6図は本発明に基づく第1実施例

(26)

に係る受信系を示す回路図である。なお、両図において、前述したと同様の構成要素には同一の参照番号を付して示す。

第1実施例(第5および6図)では、パケットメモリ110(第2図)として、FIFO(First In First Out)メモリを用いることを特徴としており、第5図においてはパケットメモリ110、210(第2図)として、FIFOメモリ111-1、111-2...111-nが導入され、第6図においてはFIFOメモリ211-1、211-2...211-nが導入される。

まず第5図において、入力番号1から1の入力パケットは、論理チャネル番号(LCN)解析部180に一旦入力され、送信処理部190を経由して、伝送路対応部に入る。この伝送路対応部(送信処理部190の右側に配置される部分)が特に本発明と関連する。すなわち、LCN解析部180および送信処理部190は、通常のパケット通信にもともと必要とされるものである。

LCN解析部180は、入力パケットを逐次取り込むシフトレジスタ182と、シフトレジスタ182

(27)

本発明に特に関連する優先順位は、その論理チャネルテーブル181内に出力LCNと共にセットされる。なお、各パケットの優先順位は、発呼者から被呼者に至るまで常に同じであるとは限らず、中継交換局ごとに変更されることもある。

伝送路対応部に至る前段の送信処理部190では、0挿入とかFCS付加とかを行う。0挿入とは、データ中に"1"連続が続くことを防止し、フラグ(例えば"11111110")とデータとの区別をなくすビット操作をいう。FCS付加は、第3図のフレームチェックシーケンス(FCS)の付加である。

さてここで、本発明の主要部である伝送路対応部に入る。送信処理部190を経たパケットは、まず入力選択部130内のシフトレジスタ134に入る。前述した論理チャネルテーブル181で更新されたヘッダ(H)情報内の優先順位はこのシフトレジスタ134よりデコード133に伝達される。パケット受発の旨(PR)の通知を受けた入力制御回路131は、このデコード133に対し、優先順位をデ

(29)

内にパケットを受信した旨(PR)の通知を受けて所要のタイミング信号を出力する制御回路183と、シフトレジスタ182内に論理チャネル番号(LCN)がストアされたタイミングで、該LCNを取り込む論理チャネルテーブル181と、該テーブル181にてそのLCNに対応する新たな論理チャネル番号LCN'を検索し終えたとき、このLCN'を、今入力中のパケット内のもとのLCNに書き換えるために所定のタイミングでLCN'を送出するLCNゲート184と、LCN'に書き換えるべきタイミングのみ、そのパケットの該当部分(もとのLCNのビット位置)をシャ断するパケットゲート185とからなる。なお、論理チャネル番号(LCN, LCN')は、既述のとおりヘッダ(H)情報の一部をなし、交換局に至るごとに新たなLCN'に書き換えられるものであって、パケット通信サービスを実施する上で重要な情報の1つをなす。呼設定において論理チャネルテーブル181には入力LCN、出力LCN(上述のLCN')および通信に必要な情報もセットされる。

(28)

コードすべきタイミングを指示する。このデコードにより、今入力されたパケットの優先順位に対応するFIFOメモリ(111-1~111-nの1つ)を選択し、これにパケットの内容を書き込む。すなわち、入力制御回路131からの書き込みクロックWCを、デコード133の出力により同となった1つの書き込みクロックゲート132を通して、対応FIFOメモリに印加する。各FIFOメモリ111-1~111-nは自内にパケットが書き込まれたか否かを表示するパケット有無信号PBを個別に出力する。このパケット有無信号PBを受信する出力制御部140は、第5図において出力制御回路141として示されており、記憶部150と出力選択部160と挿入部170とに協働する。挿入部170はフラグゲート171および172からなり、フラグ付加回路120をなす通常フラグ発生器121およびパケット区切りフラグ発生器122のいずれか一方の出力を選択する。また出力選択部160は読出しクロックゲート161からなり、出力制御回路141からの読出しクロックRCをいずれか1のFIFOメモリ111-1~111-nに印加

(30)

する。

前述のバケット有無信号PRは出力制御回路141によって常に監視されており、「バケット無し」のときは通常フラグ発生器121を能動状態とし、伝送路30に通常フラグを送信し続ける。一方、バケット有無信号PRに、1つまたは複数の「バケット有り」が表示されたとなると、出力制御回路141は一番高い優先順位のバケットをストアするFIFOメモリ(111-1~111-a)からバケットを読み出すべく、送出しクロックRCを当該FIFOメモリに印加する。読み出したバケットは伝送路30に送出される。このバケットの送出が終了すると、通常フラグ発生器121より通常フラグを送信路30に送出する。もし、さらに送出すべきバケットが、他のFIFOメモリ(111-1~111-a)に残っていれば、これを引き続き読み出し、伝送路30に送出する。

低い優先順位のバケット、例えば優先順位①の第1のバケットをFIFOメモリ111-1より送出し中に、これより高い優先順位の第2のバケット、例

えば優先順位④のバケットが、対応のFIFOメモリ111-aに蓄えられたとする。そうすると、出力制御回路141は、バケット有無信号PRとして、さらに高い優先順位(④)のバケットが存在することを知り、現在送出し中のFIFOメモリ111-1への送出しクロックRCを一旦供給停止する。これと同時に、その送出しを中断された第1のバケットの優先順位(①)を記憶部150に記憶する。そして今度は、送出しクロックRCを、FIFOメモリ111-aに供給し、第2のバケットの送信を開始する。このとき出力制御回路141は、フラグゲート172を開とし、バケット区切りフラグIFを、その第2のバケットの先頭に付加する。その後継続して第2のバケットをFIFOメモリ111-aより伝送路30に送出する。

優先順位の高い第2のバケットの送信が完了すると、出力制御回路141はフラグゲート171を開とし、通常フラグFを該第2のバケットの終端に付加し、第2のバケットの送信終了とする。同時に出力制御回路141は、記憶部150をアクセスし、

(31)

(32)

待合せ中の低い優先順位があるときは、これを読み出し、対応するFIFOメモリ(この場合111-1)より、中断されていた第1のバケットの残りの部分を読み出し、伝送路30に送出する。以下、図を参照して第5図における要部でのバケットフォーマットを説明する。

第7A図は入力信号線1F上でのバケットフォーマット図、第7B図はシフトレジスタ134の入力でのバケットフォーマット図、第7C図は優先割込みのない場合の伝送路30上におけるバケットフォーマット図、第7D図は優先割込み発生時の伝送路30上におけるバケットフォーマット図である。第7A図において、ヘッダH内の制御部の一部に優先順位Pが書き込まれている。制御部は他に音声あるいはデータの種別を書き込む。LCNおよびDTは既述の論理チャンネル番号およびデータ部である。第7B図において、LCNがLCN'に書き換えられる。また優先順位Pも、論理チャンネルテーブル(第5図の181)で書き換えられることがある。第7D図において、優先順位

の高い(例えば④)第2のバケットが、優先順位の低い(例えば①)第1のバケット内に割り込んでいる。

第6図の受信系200において、伝送路30からの受信バケットは、フラグ検出回路220をなす通常フラグ検出器221とバケット区切りフラグ検出器222と、入力選択部230の一部をなすシフトレジスタ234に並列に印加される。アイドル状態では伝送路30上に通常フラグFが流れており、その旨が、入力制御部240をなす入力制御回路241に通知され、他に起動をかけない。バケットが伝送路30より受信されると、フラグ検出器221からの通常フラグ受信通知PRは停止し、代わってシフトレジスタ234よりバケット受信通知PRが入力制御回路241に伝達される。またこれと同時に入力選択部230をなすデコード233においてヘッダH内の優先順位P'がデコードされる。このデコードによりP'に対応する1つの書き込みクロックゲート232(入力選択部230をなす)が開となり、入力制御回路241からの書き込みクロックWC

(33)

(34)

が、受信側バケットメモリ210内の対応する1つのFIFOメモリ211-1~211-nに供給され、これに今受信したバケットを書き込む。このバケットが既述の第1のバケット(優先順位①)であれば、FIFOメモリ211-1に書き込む。FIFOメモリ211-1にバケットが書き込まれると、これよりバケット有無信号PRが「バケット有り」として、入力選択部240をなす出力制御回路242に通知され、対応する送出しクロックゲート261(出力選択部260をなす)を開とする。これにより出力制御回路242からの送出しクロックRCが対応するFIFOメモリ(この場合211-1)に供給され、これよりバケットを読み出して出力信号線22に送出する。なお、出力信号線22の途中にある受信処理部290は第5図の送信処理部190に対応し、0挿入の除去とかFCSの除去を行う。

上記第1のバケットの受信中に、第2のバケット(優先順位②とする)が割り込んでくるとすると、バケット区切りフラグ受信通知IFRが入力制御回路241に通知され、記憶部250に、中断さ

(35)

第8図における送信系100の動作原理は第5図に示した第1実施例と基本的に殆ど同じである。全体として、送信処理部190の入力側にある論理チャンネル番号(LCN)解析部180と、その出力側にある伝送路対応部とからなる。このうち伝送路対応部以外(180,190)については第1実施例において説明したとおりである。

伝送路対応部内における送信側入力選択部130は、具体的に、入力バケットを逐次格納するシフトレジスタ137と、シフトレジスタ137にバケットが到着したことにより起動され入力ポイントテーブル部135等を制御する入力制御回路136と、RAM部113へのアドレスの供給または供給停止を行う書き込みアドレスゲート138とからなる。これらにより、シフトレジスタ137から送出されたバケットは対応するメモリ領域に逐次書き込まれる。対応するメモリ領域は入力バケットの優先順位P'により定まり、このP'もRAM部113に人力される。

バケットの送出しは、出力制御部140をなす出

(37)

れた第1のバケットの優先順位(①)を記憶する。その後、既述の第1のバケットと同一手順で出力信号線22に第1のバケットを送出し、その終端の通常フラグFが検出器221で再び検出されると、記憶部250内の情報(①)をもとにFIFOメモリ211-1への、第1のバケットの書き込みを開始する。出力制御回路242はFIFOメモリ211-1からのバケット有無信号PRが「バケット有り」となっているのを検出して、該メモリ211-1から第1のバケットの残りの部分を読み出す。これにより中断した第1のバケットの送信が再開される。

上記第1実施例ではバケットメモリとしてFIFOメモリを用いたが、以下に述べる第2実施例ではバケットメモリとしてRAM(Random Access Memory)を用いる。

第8図は本発明に基づく第2実施例に係る送信系を示す回路図、第9図は本発明に基づく第2実施例に係る受信系を示す回路図である。なお、既述したものと同一の構成要素には同一の参照番号または記号を付して示す。

(36)

入力制御回路143からの制御により、出力選択部160をなす出力ポイントテーブル部163からの送出しアドレスを、送出しアドレスゲート162を介してRAM部113に与えることにより行う。出力制御回路143は、またフラグ付加回路120からの通常フラグFまたはバケット区切りフラグIFを、フラグゲート171または172を制御することにより択一的に出力させる。この点は第1実施例の場合と全く同じである。

次に第9図の受信系200についてみると、伝送路30の出口にあるフラグ検出回路220は第1実施例と同様に通常フラグ検出器224およびバケット区切りフラグ検出器225からなる。入力選択部230は、シフトレジスタ235、入力制御回路236、入力ポイントテーブル部237および書き込みアドレスゲート238からなる。このゲート238からのアドレスに従って、シフトレジスタ235内のバケットをRAM部213に書き込む。このときどのメモリ領域を選択するかは、シフトレジスタ235より読み取った優先順位P'で指定する。

(38)

入力制御部240は出力制御回路244からなり、受信側出力遅延部260は、該回路244に制御される出力ポインタテーブル部263と、読出しアドレスゲート264とからなり、該ゲート264は、ゲート238とともに入力制御部240をなすタイミング回路部245により開閉制御される。ゲート264の開によりアドレス指定されたRAM部213からはバケットが読み出され、既述の受信処理部290を通して出力信号線22に送出される。

第10図はRAM部と入力ポインタテーブル部と出力ポインタテーブル部の関係を図解的に示す図である。なお、これらRAM部、ポインタテーブル部等は送信系100、受信系200ともに共通である。入力ポインタテーブル部135(237)は優先順位①、②…⑥に対応する先頭アドレスをストアするとともに、各先頭アドレスを1ずつインクリメント(加算)し、次の先頭アドレスに至ると、また元に戻る。したがって、RAM部113(213)を、各優先順位対応に、n個に分割して、各メモリ領域ごとにサイクリックに書き込みアドレスを指定す

ることになる。なお、どの優先順位についてアクセスするかは、後述の入力側優先順位格納レジスタにより指定される。

一方、出力ポインタテーブル部163(263)についても優先順位①、②…⑥に対応する先頭アドレスをストアするとともに、各先頭アドレスを1ずつインクリメントし、次の先頭アドレスに至ると、また元に戻る。したがって、RAM部113(213)を、各優先順位対応に、n個に分割して、各メモリ領域ごとにサイクリックに読出しアドレスを指定することになる。なお、どの優先順位についてアクセスするかは、後述の出力側優先順位格納レジスタにより指定される。また後述するバケット数格納テーブルは、RAM部内で、上述のサイクリックな書き込みにより、以前に書き込んだバケットが新たに入力されたバケットにより上塗りされる(消去される)のを防止するために、各分割メモリ領域で許容し得るバケット数に達したか否かを検出するために用いる。もしその許容バケット数に達したとすれば、入力バケットの書き込みを

(39)

(40)

時的に禁止することになる。かくして、第2実施例のRAMは第1実施例の複数のFIFOメモリと等価に機能することになる。

第11図は第10図に図解的に示す構成を実現する詳細な回路例を示す図である。したがって第11図の回路例も送信系100と、受信系200とで共通である。第11図の構成は、4つの機能群に大別され、これらの領域は点線で区分して示す。また説明の都合上必要な入力制御回路136(236)、出力制御回路143(244)も併せて簡いておく。第11図の左端が入力側IN(第8図の入力信号線11、第9図の伝送路30にそれぞれ相当する)であり、第11図の右端が出力側OUT(第8図の伝送路30、第9図の出力信号線22にそれぞれ相当する)である。

シフトレジスタ(REG)137(235)にバケットが入力されると、バケット受信PRが入力制御回路136(236)に通知され、またその優先順位P'が優先順位格納レジスタ(P-REG)311に格納される。入力制御回路136(236)は該レジスタ311を能動状態

とし、その優先順位P'を一旦フリップ・フロップ(FF)312(クロックでKで動作)でラッチしたのち、書き込みポインタテーブル(WPT)313をアクセスする。これにより該当するポインタを指定する(第10図の入力ポインタテーブル部135(237)のアドレス①、②…参照)。指定されたポインタ(アドレス)は、入力制御回路136(236)からの読出し指令をR/W(Read/Write)1線を介して受け、そのポインタに示されるアドレスをフリップ・フロップ314で一旦ラッチしたのち、RAM321および加算器(A D + 1)315に印加する。加算器315はそのポインタ(アドレス)を1ずつインクリメントし、再びテーブル313に戻ることにより、第10図で説明したごとく、今指定されたメモリ領域をサイクリックにアクセス可能とする。なお、加算器315からのアドレスの再書き込みは、R/W1線を介し入力制御回路136(236)からの書き込み指令によりなされる。

先にポインタテーブル313より出力されたアドレスはRAM321に対するアドレス指定を行う。これ

(41)

(42)

と同時に入力制御回路136(236)からのデータ書込みクロックDWCにより、タイミング回路(TM)341を介し、レジスタ137(235)内のバケットをRAM321に書き込む。

タイミング回路部144(245)内の前記タイミング回路341は、原クロックCLKを $\frac{1}{4}$ 分周したクロックCKとこれをインバータにより反転したクロック \overline{CK} とを出力する。クロックCKは書込みタイミング信号WTをなし、反転クロックCKは読出しタイミング信号RTをなす。これらのタイミング信号により書込みアドレスゲート342および読出しアドレスゲート343が交互に開閉する。これによりバケットの書込みと読出するバケットの読出しがRAM321内で同時発生することを防止する。なお、ゲート342は第8図のゲート138、第9図のゲート238に対応し、ゲート343は第8図のゲート162、第9図のゲート264に対応する。

一方、優先順位格納レジスタ311に格納された優先順位は、アドレスゲート322を介しRAM部113(213)内のバケット数格納テーブル(PNT)324お

よびデコーダ(DEC)334に与えられる。その優先順位は、テーブル324内の対応するバケット数格納位置をアクセスし、当該バケット数と等しいデータはフリップ・フロップ325で一旦ラッチされたのち、比較器(CMP)331に印加され、また、ゲート327(WTにより開となっている)を介し加算器 $(AD+1)$ 330に印加される。比較器331からの出力はターミネータ(TRM)335を制御する。すなわち、先のバケット数格納テーブル324をアクセスした優先順位を示すデータを上記デコーダ334でデコードし、この優先順位に対応するターミネータ335の所定ビット位置に、“1”を立てる。この“1”はRAM321内の対応メモリ領域にバケットが書き込まれたことを表示する。

一方、上記の加算器330は先の優先順位に対応するバケット数を1だけインクリメントし、再び同じ格納位置に書き込む。このとき、前述のWTによりゲート326が開となっている。

ターミネータ335における前記所定ビットの“1”は、“バケット有り”を示すバケット有無

(43)

(44)

信号PRとして出力制御回路143(244)に伝達される。「バケット有り」を認知した出力制御回路143(244)は、出力ポインタテーブル部163(263)内の優先順位格納レジスタ(P-REG)351を能動状態とし、ターミネータ335の所定ビット位置(“1”が立っている)に対応する優先順位をエンコード(ENC)336により再生し、上記レジスタ351に格納する。さらにこの優先順位はフリップ・フロップ352で一旦ラッチされたのち、対応する読出しポインタテーブル(RPT)353に対するアドレス指定を行い、先にRAM321内にてバケットが書き込まれているメモリ領域を示すポインタを出力する。なお、このポインタは、R/W3線を介して出力制御回路143(244)からの指令で読み出され、さらにフリップ・フロップ354で一旦ラッチされたのち、今読出しタイミング信号RTにより開となっている読出しアドレスゲート343を通してRAM321に与えられる。RAM321は、そのポインタにより示されるバケットを、データ読出しクロックDRCに従って読み出し、出力側OUTに送出する。

読出しポインタテーブル353から出力されたポインタ(アドレス)は加算器 $(AD+1)$ 355で+1だけインクリメントされ、再び元の位置に書き込まれる。

優先順位格納レジスタ351からの出力は、他方、読出しタイミング信号RTにより開となっているゲート323を通して、バケット数格納テーブル324内の対応するバケット数格納位置をアクセスし、当該バケット数を読み出し、比較器331と加算器330に送出する。このとき、読出しタイミング信号RTにより、インバータ付ゲート329および328が開となっている。比較器331に与えられたバケット数は、今開となっているゲート332を介して与えられる、最大値レジスタ333からの最大バケット数と比較され、最大値に達していれば、ターミネータ335の所定ビット位置を“0”にリセットする。また同時に、その事実をMAX通知として、入力制御回路136(236)に与え、入力を禁止する。これにより、RAM321内の各メモリ領域がバケットで一杯になったとき、次に来るバケット

(45)

(46)

によりもともとあるバケットが消去されるのを防止する。もし、最大値に達していなければ、現状の状態を引続き保持する。

上記インバータ付ゲート329を通して転送されるバケット数は、そのインバータの作用により加算器330で1ずつデクリメント（減算）され、さらにインバータ付ゲート328で極性を元に戻してから再びバケット数格納テーブル324内の対応格納位置に書き込まれる。

上記ターミネータ335における各ビット位置の“1”、“0”で示されるバケットの有無情報は信号PRとして出力制御回路143(244)に与えられ、ここで優先順位の高い順にバケットが送出されるよう制御され、これに基づいて優先順位の高いものが先行して出力側OUTに送出される。

バケットを出力側OUTに送出中に、ターミネータ335におけるビット位置に表示される「バケット有り」のビットが、その送出中のバケットより優先順位の高いビットであると、既述した、第1のバケットに対する第2のバケットの割込みを

しなければならない。この割込み処理は次のように行われる。

第12図は送信系の出力側の優先順位格納レジスタ351の詳細を示す回路図である。第1のバケットの送信中に、優先順位の高い第2のバケットを割り込ませるために、出力制御回路143は、送信中の第1のバケットの優先順位を、優先順位格納RAM414に一旦格納する。これはR/W線からの書き込み指令によってなされる。この場合、送信中の第1のバケットの優先順位は優先順位レジスタ412に格納されていたものであり、フリップ・フロップ413を介して優先順位格納RAM414に書き込む。このときのRAM414へのアドレスは、カウンタ415により与えられ、書き込み後、+1だけインクリメントされる。このインクリメント指令はU/D (Up/Down) 線を介して与えられる。

次に新たに入って来た優先順位の高い第2のバケットの優先順位は、エンコーダ336より出力されており、ゲート411を指令S1によって開とすることにより、レジスタ412に設定される。この

(47)

(48)

場合、出力制御回路143の制御のもとで、バケット区切りフラグ発生器122(第8図)を能動状態にし、バケット区切りフラグIFを送出せしめ、このIFに引き続き第2のバケットが伝送される(前述)。この伝送の終了時には既述したとおり、通常フラグFが付加される。

この間、出力制御回路143は、常時カウンタ415の内容を監視し、優先順位格納RAM414内に、待避中の優先順位があるか否かを調べる。もし優先順位があれば、これを1だけデクリメント（減算）(U/D線からの指令による)した値をもって、アドレスとなし、このアドレスでRAM414に待避中の第1のバケットの優先順位を読み出す。さらに、指令S2によって開となったゲート416を通して、再びもとの優先順位がレジスタ412に設定される。これにより、中断されていた第1のバケットの、RAM321からの読み出しが再開される。

第12図は送信系の出力側の優先順位格納レジスタ351の具体例を示したが、受信系における入力側の優先順位格納レジスタ311の構成も第12

図の構成とはほぼ同様である。第13図は受信系の入力側の優先順位格納レジスタ311の詳細を示す回路図である。また、送信系の入力側の優先順位格納レジスタ311は、第14図に示す構成とはほぼ同じである。

第14図は受信系の出力側の優先順位格納レジスタ351の具体例を示す図である。本図において、ゲート611は出力制御回路244からの指令で開となるゲートであり、エンコーダ336からの優先順位を優先順位レジスタ612に設定する。その優先順位は、既述の送出しポインタテーブル353およびバケット数格納テーブル324に送られる。なお、送信系の入力側の優先順位格納レジスタ311は、第14図中のエンコーダ336をシフトレジスタ137に置き換え、第14図中の出力制御回路244を入力制御回路136に置き換え、第14図中の353を書込みポインタテーブル313に置き換えたものに等しい。

(49)

(50)

(発明の効果)

以上説明したように本発明によれば、伝送効率を劣化させることなく、優先順位の高いバケットを優先順位の低いバケットに対し優先して伝送することができる。

4. 図面の簡単な説明

第1図は本発明に係る多重バケット通信システムの原理構成を示す図、

第2図は本発明に係る多重バケット通信システムの基本構成を示すブロック図、

第3図は本発明に係る多重バケットの伝送フォーマット例を示す図、

第4A図は送信系における動作を説明するための状態遷移図、

第4B図は受信系における動作を説明するための状態遷移図、

第5図は本発明に基づく第1実施例に係る送信系を示す回路図、

第6図は本発明に基づく第1実施例に係る受信系を示す回路図、

第7A図は入力バキューム11上でのバケットフォーマット図、

第7B図はシフトレジスタ134の入力でのバケットフォーマット図、

第7C図は優先割込みのない場合の伝送路30上におけるバケットフォーマット図、

第7D図は優先割込み発生時の伝送路30上におけるバケットフォーマット図、

第8図は本発明に基づく第2実施例に係る送信系を示す回路図、

第9図は本発明に基づく第2実施例に係る受信系を示す回路図、

第10図はRAM部と入力ポインタテーブル部と出力ポインタテーブル部の関係を図解的に示す図、

第11図は第10図に図解的に示す構成を実現する詳細な一回路例を示す図、

第12図は送信系の出力側の優先順位格納レジスタ351の詳細を示す回路図、

第13図は受信系の入力側の優先順位格納レジ

(51)

(52)

スタ311の詳細を示す回路図、

第14図は受信系の出力側の優先順位格納レジスタ351の具体例を示す図、

第15図は従来の多重バケット通信システムの概略ブロック図、

第16A図は一般的なバケットフォーマットを示す図、

第16B図は非優先バケットに優先バケットが割り込んだ場合の従来におけるバケットフォーマット例を示す図である。

図において、

30…伝送路、 100…送信系、

110…バケットメモリ、

120…フラグ付加回路、

130…入力選択部、 140…出力制御部、

150…記憶部、 160…出力選択部、

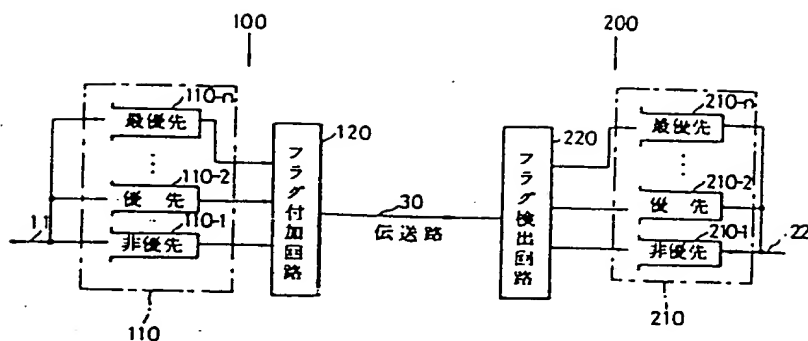
200…受信系、 210…バケットメモリ、

220…フラグ検出回路、

230…入力選択部、 240…入力制御部、

250…記憶部、 260…出力選択部、

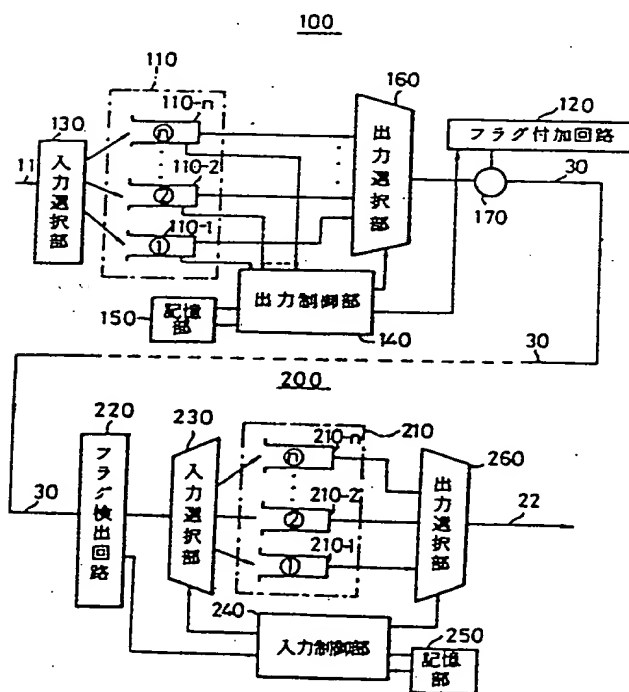
(53)



本発明に係る多重パケット通信システムの
原理構成を示す図

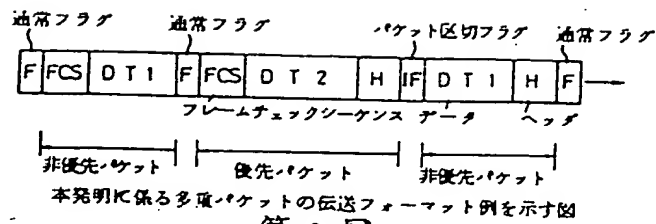
第 1 図

100... 送信系
110... 送信側
 パケットメモリ
200... 受信系
210... 受信側
 パケットメモリ

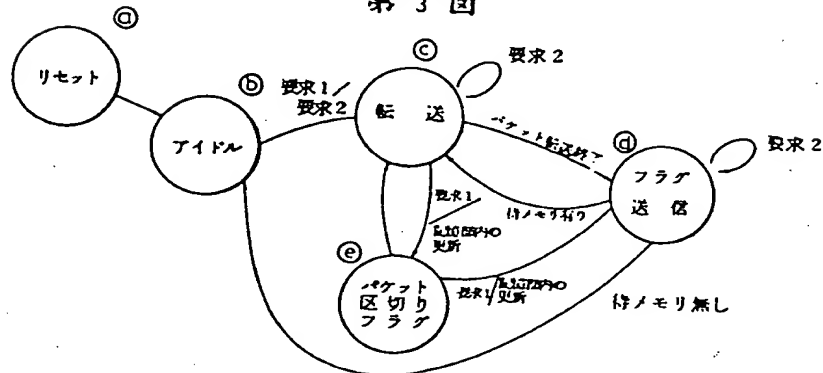


本発明に係る多重パケット通信システムの
基本構成を示すブロック図

第 2 図

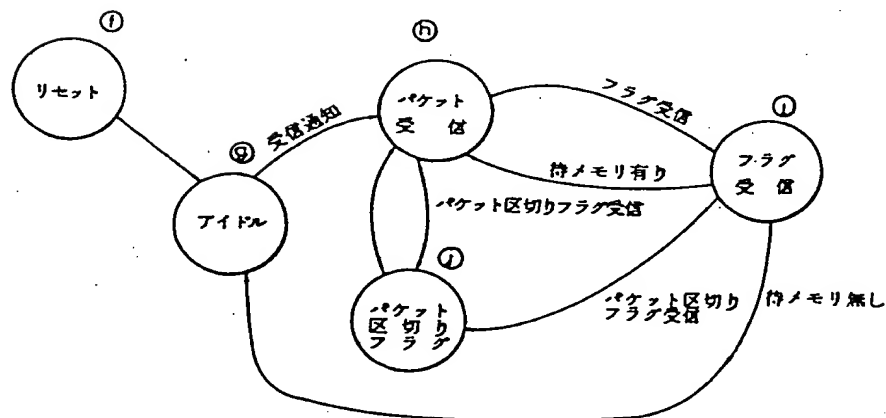


第3図



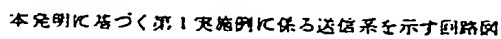
送信系における動作を説明する
ための状態遷移図

第4A図



受信系における動作を説明する
ための状態遷移図

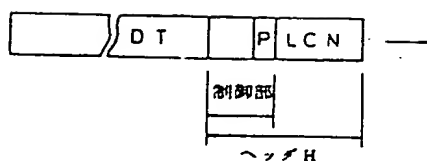
第4B図



200

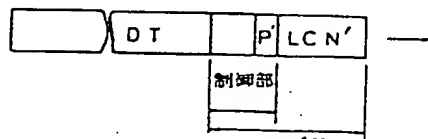


—409—



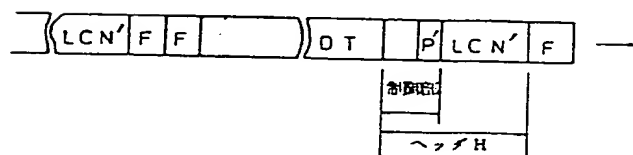
入力信号線 11 上でのパケットフォーマット図

第 7A 図



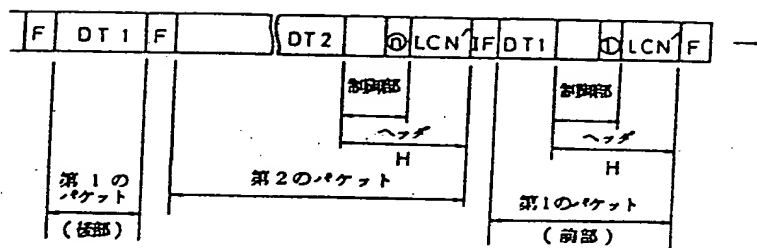
シフトレジスタ 134 の入力での
パケットフォーマット図

第 7B 図



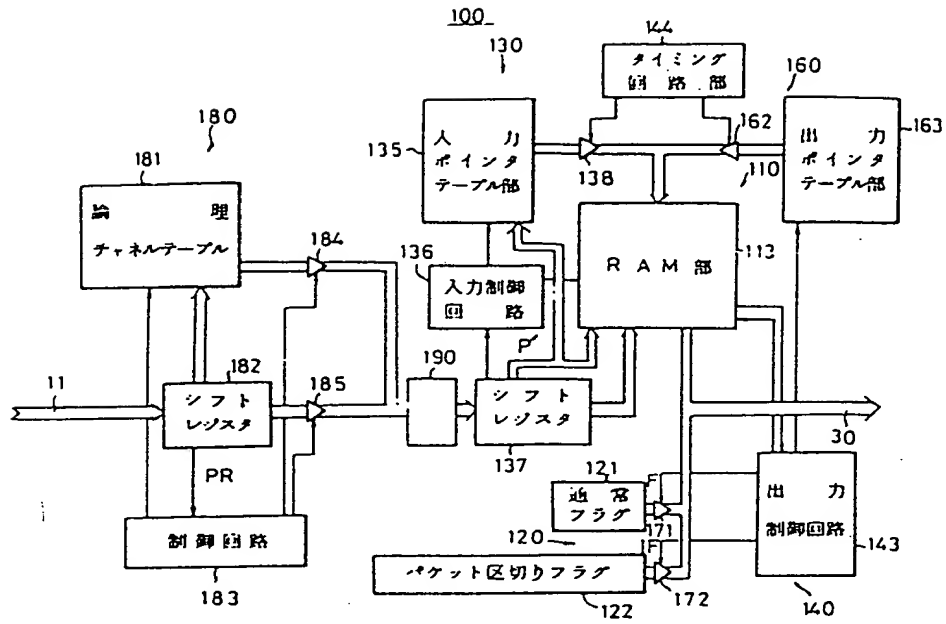
優先割込みのない場合の伝送路 30 上
におけるパケットフォーマット図

第 7C 図



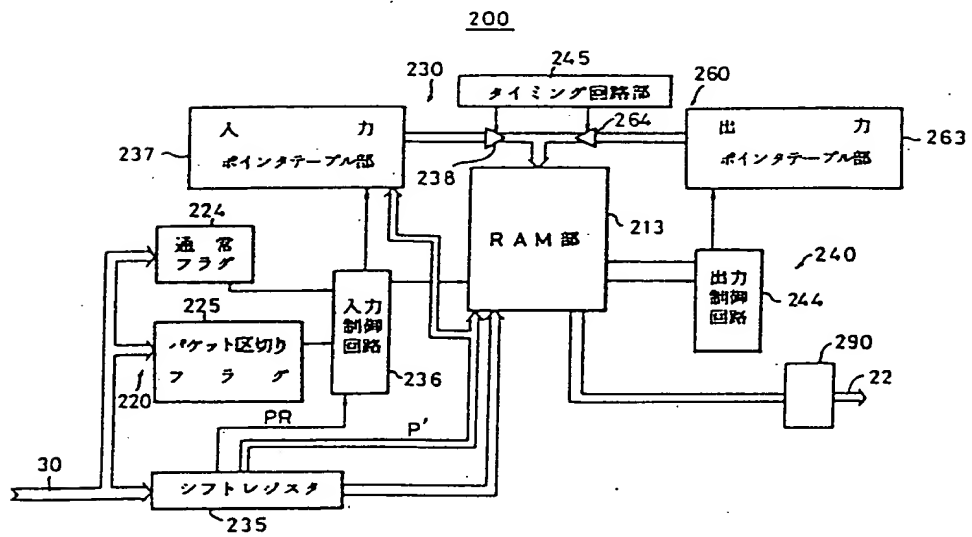
優先割込み発生時の伝送路 30 上における
パケットフォーマット図

第 7D 図



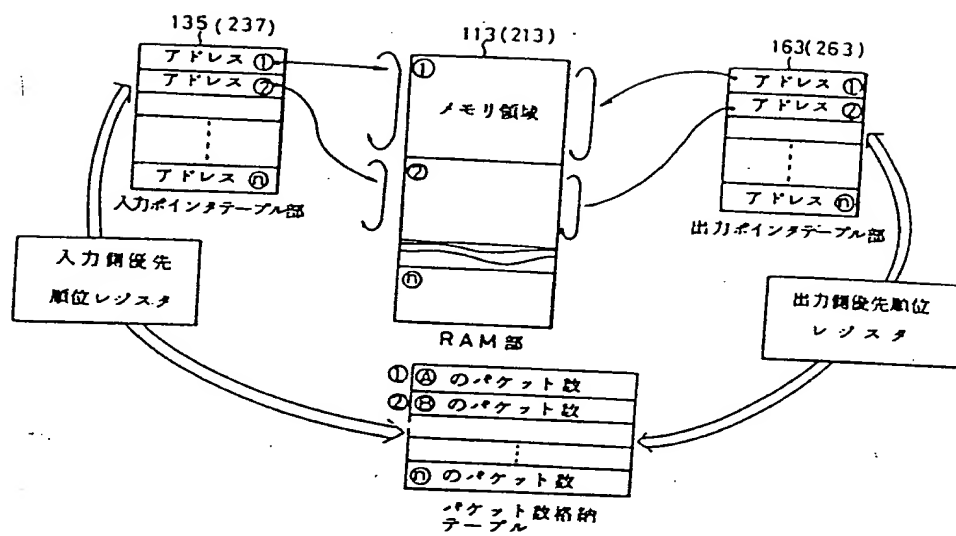
本発明に基づく第2実施例に係る送信系を示す回路図

第 8 図



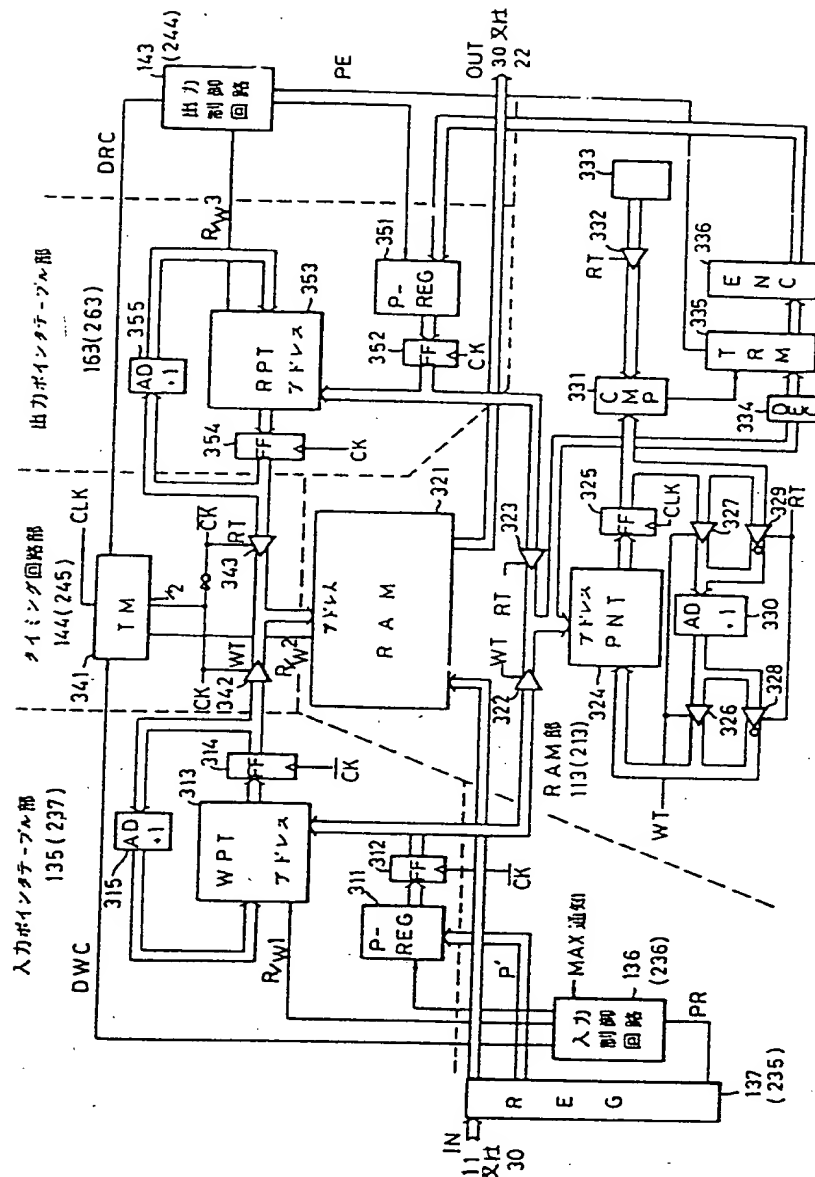
本発明に基づく第2実施例に係る受信系を示す回路図

第 9 図



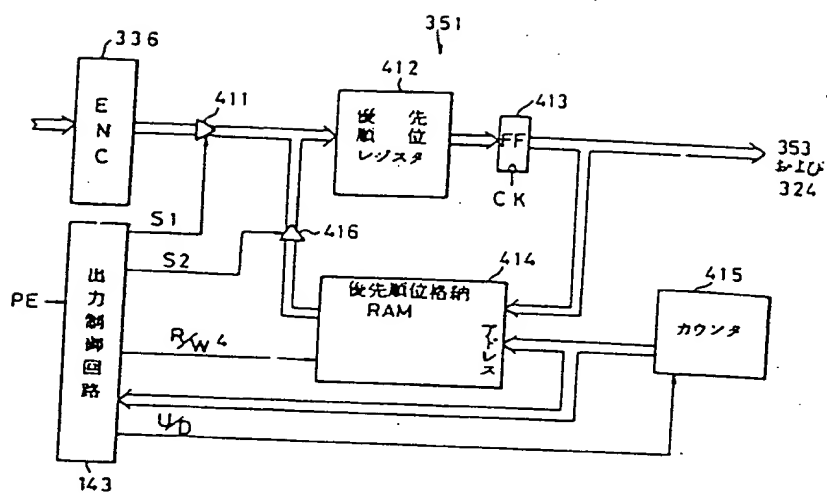
RAM部と入力ポインタテーブル部と出力ポインタ
テーブル部の関係を図解的に示す図

第 10 図



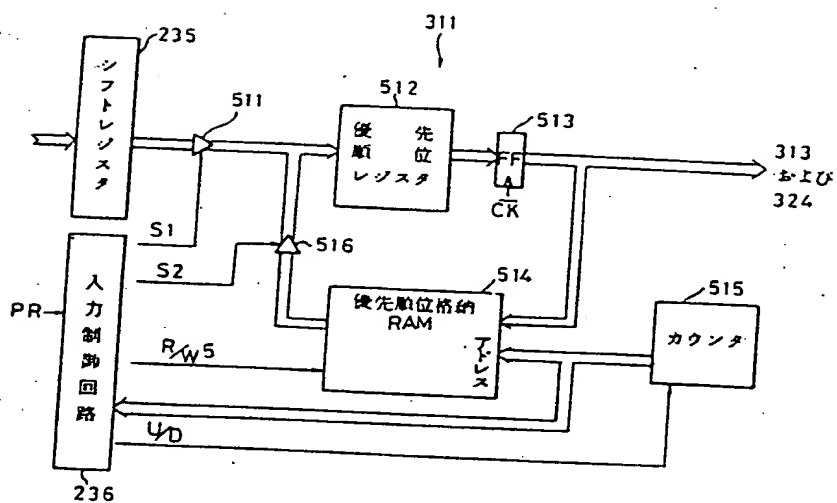
第10図に図解の比示す構成を表現する詳細な一回路例を示す。この

第二圖



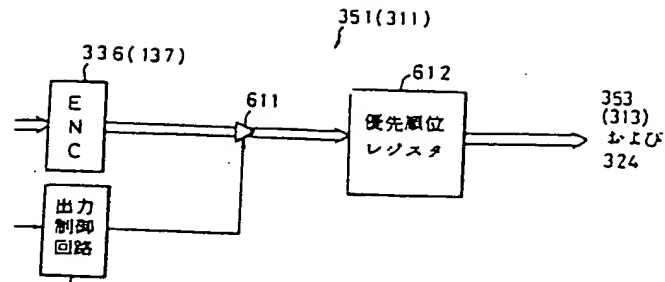
送信系の優先順位格納レジスタ351の詳細を示す図

第12図



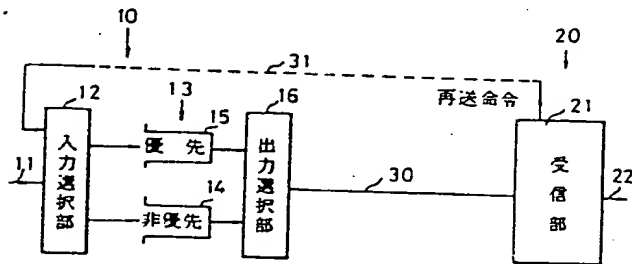
受信系の入力側の優先順位格納レジスタ311の詳細を示す回路図

第13図



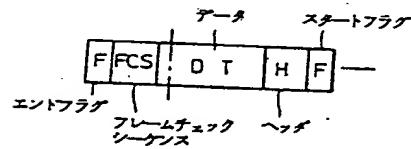
受信系の出力側の優先順位格納レジスタ351の具体例を示す図

第14図



従来の多重パケット通信システムの概略ブロック図

第15図



一般的なパケットフォーマットを示す図

第16A図



非優先パケットに優先パケットが割り込んだ場合の従来のパケットフォーマット例を示す図

第16B図

第1頁の続き

⑫発明者	叶内	順一	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑬発明者	福田	治樹	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内